

⑮ 公開特許公報(A) 平2-23617

⑥ Int. Cl.⁵

H 01 L 21/302
21/66
21/76
27/04

識別記号

E
C
L
T

庁内整理番号

8223-5F
7376-5F
7638-5F
7514-5F

⑬ 公開 平成2年(1990)1月25日

審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 半導体基板ウェハの溝形成方法

⑮ 特 願 昭63-172644

⑯ 出 願 昭63(1988)7月13日

⑰ 発 明 者 田 中 博 司 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 曾我 道照 外4名

明 細 書

1. 発明の名称

半導体基板ウェハの溝形成方法

2. 特許請求の範囲

半導体基板ウェハの表面上に所定の深さの複数の第1の溝を形成する方法であって、

前記第1の溝の形成と同時に、前記半導体基板ウェハの表面上で且つ前記第1の溝に干渉しない所定の領域内にその開口部と非開口部とが所定の面積比となるように複数の第2の溝を形成する工程と、

前記所定の領域内に測定光を照射してその反射光の強度に基づき前記第2の溝の深さを計測し、その計測値から前記第1の溝の深さを検知する工程と

を有することを特徴とする半導体基板ウェハの溝形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、溝の終点を高精度に計測し得る半

導体基板ウェハの溝形成に関するものである。

〔従来の技術〕

通常、半導体装置の基板をなす半導体ウェハにはその回路設計により決定されるパターンが形成される。この溝は、例えばトランジスタセルの分離やコンデンサセルの形成等のために必要なものであり、半導体ウェハ上に形成される各デバイスの基本的特性を左右する重要な一構成要素となる。

第7図は従来の半導体基板ウェハ(10)の主平面を示している。この一枚の半導体基板ウェハ(10)には、後に切り離されてそれぞれ個別の半導体チップを構成する多数の機能パターン形成領域(1)が整然と配列されている。各機能パターン形成領域(1)は、各種デバイスを形成するための溝の形成領域(2)と、この領域(2)の周囲に沿って配置され電極等を形成するための周辺パターン形成領域(3)とを有している。また、隣接する機能パターン形成領域(1)の間の領域はダイシングライン(4)と呼ばれ、各機能パターン形成領域

(1)に半導体チップを構成する種々の要素が形成された後、このダイシングライン(4)上で各チップに切り離される。

溝の形成領域(2)には第8図及び第9図に示すように、ここに形成される各デバイスに対応したパターンを有する溝(5)が形成される。また、各溝(5)は第10図に示すような断面形状を有している。

通常、この溝(5)はエッチングによって形成されるが、所定の深さになり溝形成の終点に達したことを正確に判断する必要がある。この溝形成の終点を判断する方法として、例えば第11図に示す装置を用いた干渉光光量変動計測法がある。この装置において、エッチングチャンバ(11)内に配置された下部電極(12)上に半導体基板ウェハ(10)を載置し、この半導体基板ウェハ(10)の溝の形成領域(2)の一部分にエッチングチャンバ(11)の上方から上部電極(13)の貫通孔(13a)を通してコヒーレント光(18)を照射する。コヒーレント光(18)はエッチングチャンバ(11)の

上部に設けられた光(14)から分光器(15)内の分光プリズム(16)を介して半導体基板ウェハ(10)に垂直に照射される。

その後、コヒーレント光(18)は半導体基板ウェハ(10)の表面において反射されるが、第10図に示したように半導体基板ウェハ(10)の表面には溝(5)が形成されているので、溝(5)が開口していない非開口表面(5a)と溝(5)の底面(5b)との双方でそれぞれコヒーレント光(18)の反射が生じる。すなわち、第12図に示すように半導体基板ウェハ(10)の非開口表面(5a)における反射光(19a)と溝(5)の底面(5b)における反射光(19b)とが互いに干渉して0次回折光となり、この0次回折光が分光器(15)の分光プリズム(16)を介して受光器(17)に入射する。

二つの反射光(19a)と(19b)との間の位相差は溝(5)の深さに対応して変化するため、受光器(17)において0次回折光の強度を計測することにより、溝(5)の深さを検知することができる。尚、第12図において半導体基板ウェハ(10)の

-3-

非開口表面(5a)上には、溝(5)形成のためのマスクとなるレジスト(8)が形成されている。

〔発明が解決しようとする課題〕

しかしながら、半導体基板ウェハ(10)に形成される溝(5)はこれから形成しようとするデバイスに応じた平面パターンを有しているもので、例えば第12図のようにコヒーレント光(18)が照射された範囲内の非開口表面(5a)と溝(5)の底面(5b)との面積比が極端に異なっていると、第13図に示すように溝(5)の深さに対する0次回折光の強度の変動幅は小さなものになってしまう。尚、第13図においてλはコヒーレント光(18)の波長を示している。

さらに、溝(5)はその開口寸法に応じて断面形状が微妙に変化するため、コヒーレント光(18)の照射範囲内に開口寸法の異なる溝(5)が存在する場合には、溝(5)の深さに対する0次回折光の強度の変化曲線は正弦波曲線とはならず、ゆがんだものとなる。

このため、計測の分解能及びS/N比が低下す

-4-

るので溝(5)の深さを高精度で計測することができず、従って溝形成の加工精度が低下するという問題点を有していた。

この発明はこのような問題点を解消するためになされたもので、高精度で溝を形成することができ半導体基板ウェハの溝形成方法を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体基板ウェハの溝形成方法は、半導体基板ウェハの表面上に複数の第1の溝を形成すると同時に、前記半導体基板ウェハの表面上で且つ前記第1の溝に干渉しない所定の領域内にその開口部と非開口部とが所定の面積比となるように複数の第2の溝を形成する工程と、前記所定の領域内に測定光を照射してその反射光の強度に基づき前記第2の溝の深さを計測し、その計測値から前記第1の溝の深さを検知する工程とを備えたものである。

〔作用〕

この発明においては、デバイス形成のための第

-5-

-76-

-6-

1の溝と共に計測用の第2の溝を同一工程にて同形成し、この第2の溝について深さ計測を行う。
〔実施例〕

以下、この発明の実施例を添付図面に基づいて説明する。

第1図はこの発明の一実施例に係る半導体基板ウェハの溝形成方法により第1及び第2の溝が形成された半導体基板ウェハ(10)の主平面を示す平面図である。半導体基板ウェハ(10)には、後に切り離されてそれぞれ個別の半導体チップを構成する多数の機能パターン形成領域(1)が整然と配列されている。各機能パターン形成領域(1)は、各種デバイスを形成するための第1の溝の形成領域(2)と、この領域(2)の周囲に沿って配置され電極等を形成するための周辺パターン形成領域(3)とを有している。また、隣接する機能パターン形成領域(1)の間の領域はダイシングライン(4)と呼ばれ、各機能パターン形成領域(1)に半導体チップを構成する種々の要素が形成された後、このダイシングライン(4)上で各チップに切り離

されることとなる。

また、ダイシングライン(4)上の適宜箇所には第2の溝の形成領域(6)が設定されている。これら第1の溝の形成領域(2)及び第2の溝の形成領域(6)には第2図及び第3図に示すように、それぞれ複数の第1の溝(5)及び複数の第2の溝(7)が形成されている。第1の溝(5)は領域(2)内に形成される各デバイスに対応した平面パターンを有している。一方、第2の溝(7)は第4図に示されるように領域(6)内に互いに平行に且つ等ピッチで配列され、溝(7)が開口していない非開口表面(7a)と溝(7)の底面(7b)との面積比が所定の値、例えば1となるように設定されている。

このような第1及び第2の溝(5)及び(7)は第11図に示した従来の装置と同様の装置を用いて次のようにして形成される。

まず、第11図に示した装置において、エッチングチャンバ(11)内に配置された下部電極(12)上に半導体基板ウェハ(10)を載置する。この半導体基板ウェハ(10)の表面上には予め第

-7-

1及び第2の溝(5)及び(7)形成のためのマスクとなるレジストがパターン形成されている。

次に、エッチングチャンバ(11)内にエッチングガスを導入すると共に上部電極(13)及び下部電極(12)間に所定の電圧を印加することにより、半導体基板ウェハ(10)の第1の溝の形成領域(2)及び第2の溝の形成領域(6)にそれぞれ第1及び第2の溝(5)及び(7)を同時に形成していく。このようにして溝(5)及び(7)を形成しつつ、半導体基板ウェハ(10)上にエッチングチャンバ(11)の上方から上部電極(13)の貫通孔(13a)を通してコヒーレント光(18)を照射する。このとき、コヒーレント光(18)が半導体基板ウェハ(10)の第2の溝の形成領域(6)上に照射されるように予め半導体基板ウェハ(10)の位置を設定しておく。コヒーレント光(18)はエッチングチャンバ(11)の上部に設けられた光源(14)から分光器(15)内の分光プリズム(16)を介して半導体基板ウェハ(10)に垂直に照射される。

その後、コヒーレント光(18)は半導体基板ウェ

-8-

ハ(10)の表面において反射されるが、第5図に示すように半導体基板ウェハ(10)の第2の溝の形成領域(6)の表面には溝(7)が形成されているので、溝(7)が開口していない非開口表面(7a)と溝(7)の底面(7b)との双方でそれぞれコヒーレント光(18)の反射が生じる。すなわち、非開口表面(7a)における反射光(19a)と溝(7)の底面(7b)における反射光(19b)とが互いに干渉し、0次回折光となって半導体基板ウェハ(10)の表面に垂直且つ上方に向かって進行する。この0次回折光は上部電極(13)の貫通孔(13a)を通り、分光器(15)の分光プリズム(16)を介して受光器(17)に入射する。尚、第5図において、(8)はレジストを示している。

上述したように、半導体基板ウェハ(10)の第2の溝の形成領域(6)では非開口表面(7a)と溝(7)の底面(7b)との面積比が1:1に設定されているので、レジスト(8)の透過率の影響はあるものの、二つの反射光(19a)と(19b)の光量はほぼ等しくなる。従って、これら二つの反射光

-9-

-77-

-10-

(19a)と(19b)との干渉により、受光器(17)に入射された0次回折光の強度は第6図に示すように溝(7)の深さに対応して大きく変動することとなる。また、第2の(7)は互いに平行に且つ等ピッチで形成されるので、溝(7)の深さに対する0次回折光の強度の変化曲線はゆがむことなくきれいな正弦波曲線となる。このため、受光器(17)において0次回折光の強度を計測することにより、第2の溝(7)の深さを精度良く計測することができる。

また、半導体基板ウェハ(10)上の第1の溝(5)と第2の溝(7)は同一条件下で同時に形成されるので、これらの溝の深さは互いに等しく、第2の溝(7)の深さを計測することにより第1の溝(5)の深さを検知することができる。

そして、計測された第2の溝(7)の深さが所定の値になったときに、第1の溝(5)は終点に達したと判断してエッチングチャンバ(11)内へのエッチングガスの導入及び各電極間への電圧の印加を停止し、半導体基板ウェハ(10)のエッチングを

-11-

k:選択比(半導体基板ウェハ(10)/レジスト(8)のエッチレート之比)

このようにして比 S_t/S_o を決定すれば、非開口表面(7a)における反射光(19a)と溝(7)の底面(7b)における反射光(19b)の各光量は等しくなる。従って、二つの反射光(19a)及び(19b)が干渉の結果互いに打ち消し合う場合(溝深さ $=\lambda/4, 3\lambda/4$ 等)には0次回折光の強度は0となり、溝深さに対する0次回折光の強度の変動幅は最大となる。

また、第2の溝(7)の開口寸法を複数の第1の溝(5)の内、最も小さい寸法の溝(5)と同程度に設定すれば、その細かい溝(5)の深さを特に正確検知することができるので、さらに溝の加工精度が向上する。

上記の実施例では0次回折光の光量変動を計測したが、0次回折光に限るものではなく、1次回折光及び2次回折光等の高次回折光を検出してその光量変動を計測することもできる。ただし、この場合にはコヒーレント光が照射される第2の溝

終了する。

尚、第2の溝の形成領域(6)における非開口表面(7a)と溝(7)の底面(7b)との面積比は1に限るものではなく、例えば次のようにして決定するとさらに0次回折光の強度の溝深さに対する変動幅が大きくなり、分解能及びS/N比の優れた深さ計測を行うことができる。

すなわち、第2の溝の形成領域(6)内における非開口表面(7a)の面積の総和 S_o と溝(7)の底面(7b)の面積の総和 S_t との比 S_t/S_o が次式に従って決定される。

$$S_t/S_o = (1/At) \sin(4\pi l/\lambda) \times \{2\alpha (Tr-1/k) As - Ar \sin(4\pi (Tr-1/k)/\lambda)\}$$

ただし、 As :非開口表面(7a)の反射率

At :溝(7)の底面(7b)の反射率

Ar :レジスト(8)の反射率

α :レジスト(8)の反射率

Tr :レジスト(8)の反射率

l :溝(7)の終点までの深さ

λ :コヒーレント光(18)の波長

-12-

の形成領域(6)内に溝(7)が等ピッチで配置される必要がある。

さらに、第2の溝の形成領域(6)はデバイス形成のための第1の溝(5)に干渉しない箇所であればゲイシングライン(4)上でなくてもよく、例えば機能パターン形成領域(1)内で第1の溝(5)が形成されない部分に設定することもできる。

また、第2の溝(7)の平面形状は第2図のような直線状に限らず、方形状、円形状であってもよい。

〔発明の効果〕

以上説明したようにこの発明によれば、半導体基板ウェハの表面上に複数の第1の溝を形成すると同時に、前記半導体基板ウェハの表面上で且つ前記第1の溝に干渉しない所定の領域内にその開口部と非開口部とが所定の面積比となるように複数の第2の溝を形成する工程と、前記所定の領域内に測定光を照射してその反射光の強度に基づき前記第2の溝の深さを計測し、その計測値から前記第1の溝の深さを検知する工程とを有している

-13-

-78-

-14-

BEST AVAILABLE COPY

ので、半導体基板ウェハ上に高精度で第1の溝を形成することができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係る半導体基板ウェハの溝形成方法により第1及び第2の溝が形成された半導体基板ウェハの主平面を示す平面図、第2図は第1図の部分Dを示す拡大図、第3図は第2図のⅡ-Ⅱ線断面図、第4図は第3図の部分Eを示す拡大図、第5図は第2の溝の深さの計測状態を示す断面図、第6図は実施例により得られた0次回折光の光量の変動波形図、第7図は従来の溝形成方法により溝が形成された半導体基板ウェハの主平面を示す平面図、第8図は第7図の部分Aを示す拡大図、第9図は第8図のⅡ'-Ⅱ'線断面図、第10図は第9図の部分Bを示す拡大図、第11図は従来の半導体基板ウェハ上の溝の深さを計測する装置を示す断面図、第12図は第11図の部分Cを示す拡大図、第13図は従来例により得られた0次回折光の光量の変動波形図である。

図において、(2)は第1の溝の形成領域、(5)

は第1の溝、(6)は第2の溝の形成領域、(7)は第2の、(7a)は非開口表面、(7b)は底面である。

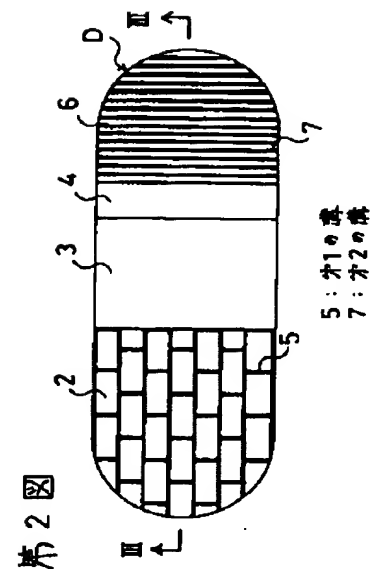
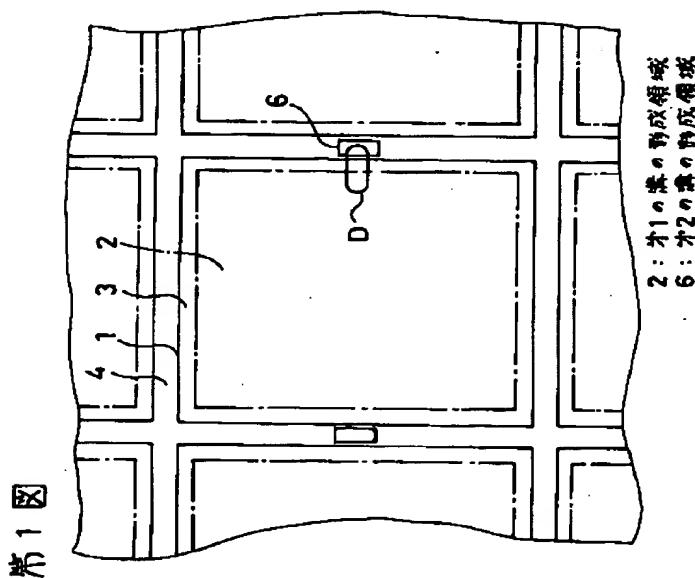
なお、各図中同一符号は同一または相当部分を示す。

代理人 曾 我 道 照

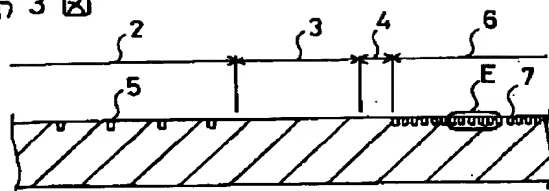


-15-

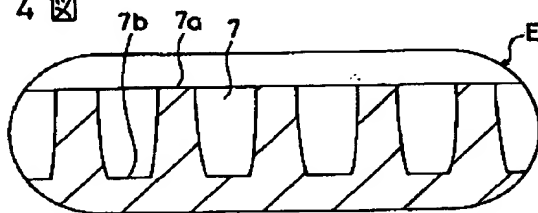
-16-



第 3 圖

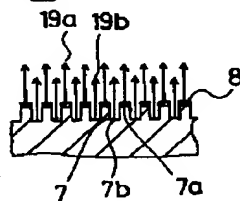


第 4 圖

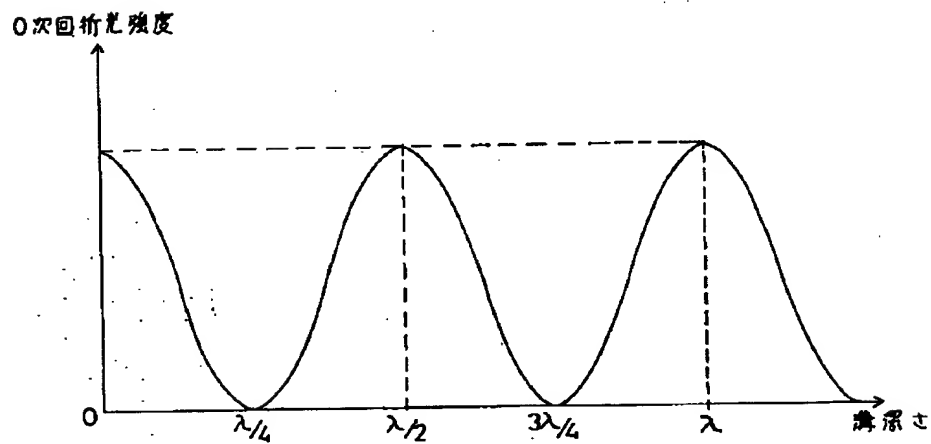


7a : 非開口表面
7b : 底面

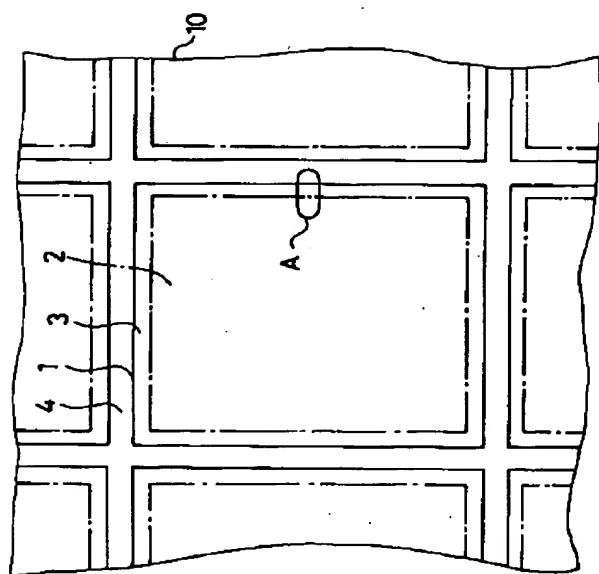
第 5 圖



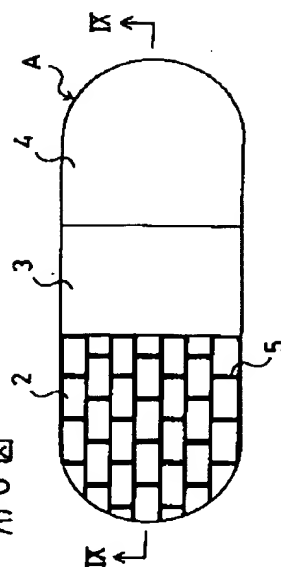
第 6 圖



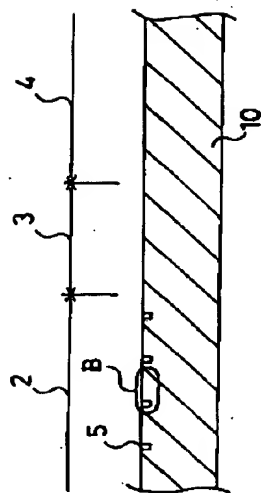
第7図



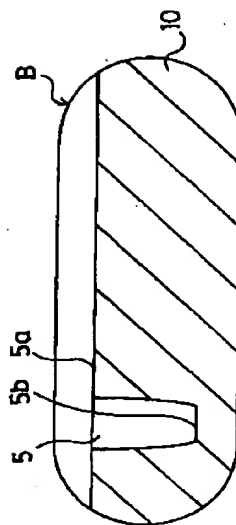
第8図



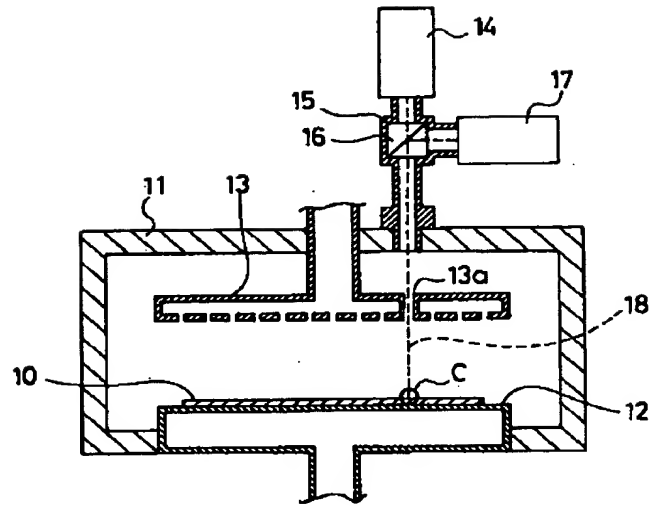
第9図



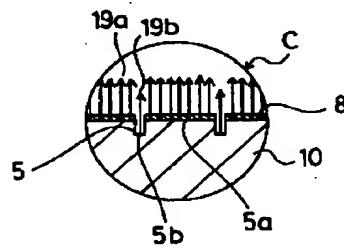
第10図



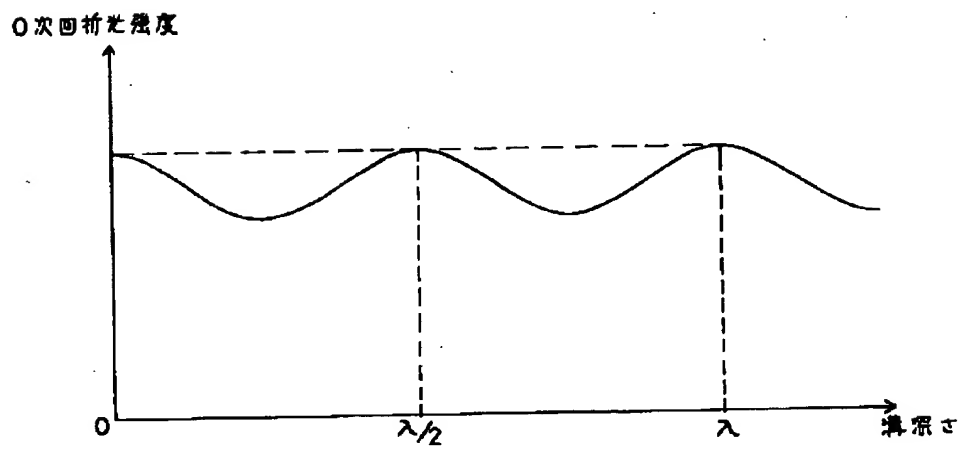
第 11 図



第 12 図



第 13 図



手続補正書

昭和 63 年 12 月 20 日

特許庁長官殿

1. 事件の表示

昭和 63 年特許願第 172644 号

2. 発明の名称

半導体基板ウエハの溝形成方法

3. 補正をする者

事件との関係

特許出願人

住 所

東京都千代田区丸の内二丁目 2 番 3 号

名 称

(801)三菱電機株式会社

代表者 志 岐 守 哉

4. 代 理 人

住 所

東京都千代田区丸の内二丁目 4 番 1 号

丸の内ビルディング 4 階

電 話 (216) 5811 [代表]

氏 名

(5787)弁理士 曾 我 道 照



5. 補正の対象

(1) 明細書の発明の詳細な説明の欄



方 式 査 査 (昭 63)

6. 補正の内容

(1). 明細書第 12 頁第 12 行及び第 13 行の

$$S_t/S_s = (1/A_t) \sin(4\pi l/\lambda)$$

$$\times \{2\alpha (Tr-l/k) As - Ar \sin\{4\pi (Tr-l/k)/\lambda\}\}$$

$$S_t/S_s = (1/A_t) \times \{2\alpha (Tr-l/k) As \cdot \sin\theta$$

$$+ Ar \cdot \sin[\theta - 4\pi (Tr-l/k)/\lambda]\} \text{peak}$$

(2). 明細書第 12 頁第 17 行の「反射率」を「透光

率」と補正する。

(3). 明細書第 12 頁第 18 行の「反射率」を「膜厚」

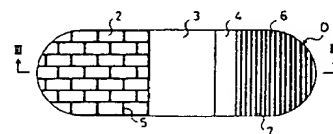
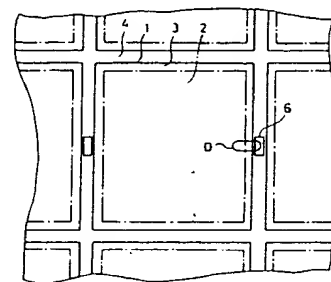
と補正する。

★ (54) FORMING METHOD FOR TRENCH OF SEMICONDUCTOR SUBSTRATE WAFER

(11) 2-23617 (A) (43) 25.1.1990 (19) JP
 (21) Appl. No. 63-172644 (22) 13.7.1988
 (71) MITSUBISHI ELECTRIC CORP (72) HIROSHI TANAKA
 (51) Int. Cl⁵. H01L21/302, H01L21/66, H01L21/76, H01L27/04

PURPOSE: To form trenches with high accuracy by simultaneously shaping the second trench for measurement together with the first trench for forming a device in the same process and measuring depth with respect to the second trench.

CONSTITUTION: An etching gas is introduced into an etching chamber while specified voltage is applied between an upper electrode and a lower electrode, thus respectively shaping first and second trenches 5 and 7 simultaneously in the forming region 2 of the first trenches and the forming region 6 of the second trenches in a semiconductor substrate wafer. Consequently, since the first trenches 5 and the second trenches 7 on the semiconductor substrate wafer are formed at the same time under the same conditions, the depth of these trenches is equalized mutually, and the depth of the second trenches 7 is measured, thus detecting the depth of the first trenches 5. When the depth measured of the second trenches 7 is brought to a specified value, the introduction of the etching gas and the application of voltage among each electrode are stopped, and the etching of the semiconductor substrate wafer 10 is completed.

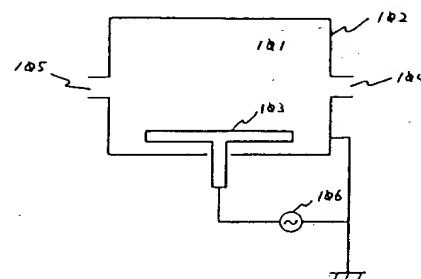


(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 2-23618 (A) (43) 25.1.1990 (19) JP
 (21) Appl. No. 63-174115 (22) 12.7.1988
 (71) SEIKO EPSON CORP (72) MASAHARU YANAI
 (51) Int. Cl⁵. H01L21/302

PURPOSE: To increase an etching rate and to improve uniformity in a wafer and a shape by etching a silicon oxide film by a gas in which a fluorocarbon is used as a main gas and specified sulfur hexafluoride or oxygen is mixed with the main gas as an addition gas singly or in the combination of these sulfur hexafluoride or oxygen.

CONSTITUTION: The title device machines an article to be etched on a cathode electrode 103, and is generally called reactive ion etching. SF_6 :10sccm is mixed with CHF_3 :50sccm and used as an etching gas, and pressure is brought to 50 mTorr and high-frequency power to 200W and etching is conducted. Consequently, an etching rate of 1350 Å/min and uniformity in a wafer of $\pm 5\%$ are acquired. Accordingly, when a silicon oxide film is etched, the generation of a carbon group polymer is made smaller than etching by single fluorocarbon when sulfur hexafluoride less than 25% or oxygen is mixed as an addition gas singly or in the combination of these sulfur hexafluoride and oxygen, thus increasing the etching rate by 50% or more, then also improving uniformity in a wafer and also stabilizing a shape.



(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 2-23619 (A) (43) 25.1.1990 (19) JP
 (21) Appl. No. 63-174116 (22) 12.7.1988
 (71) SEIKO EPSON CORP (72) MASAHARU YANAI
 (51) Int. Cl⁵. H01L21/302

PURPOSE: To conduct etching to a shape having an arbitrary tapered angle by using fluorocarbon as a main gas, mixing specified oxygen or sulfur hexafluoride or the mixed gas of oxygen and sulfur hexafluoride to the main gas as an addition gas and performing etching to the shape having the arbitrary tapered angle at the mixing ratio.

CONSTITUTION: Oxygen or sulfur hexafluoride less than 25% or the mixed gas of oxygen and sulfur hexafluoride less than 20% is mixed with a main gas as an addition gas, and etching is executed to a shape having an arbitrary tapered angle at the mixing ratio. In RIE, CHF_3 is brought to 50sccm, gas pressure to 50mTorr and high-frequency power to 200w, and oxygen of 5sccm and 10sccm is mixed as the addition gas. The tapered angles at that time are brought to 78° and 84° respectively. Consequently, when a silicon oxide film is etched, the tapered angle is controlled easily by the loading of oxygen. The same effect is also displayed even when sulfur hexafluoride and oxygen and sulfur hexafluoride are mixed as the addition gas.

